

电 工 电 子 实 验 报 告

课程名称： 电工电子实验（二）

实验名称： 时序逻辑电路设计

学 院： 通信与信息工程学院

班 级： B210111

学 号： B21011125

姓 名： 徐秋旸

指导教师： 林宏

学 期： 2022-2023 学年第 二 学期

电工电子实验教学中心

**Verilog HDL时序逻辑电路设计**

**一、实验目的**

1.使用ISE软件完成组合逻辑设计的输入并仿真。

2.掌握Testbench中组合逻辑测试文件的写法。

3.下载并测试实现的逻辑功能。

**二、主要仪器设备及软件**

硬件：DGDZ-5型实验箱，可编程器件XC3S50ANTQG144

软件：ISE Design Suite 14.7

**三、实验原理（或设计过程）**

Verilog HDL是用来设计数字和计算机系统的新技术，在业界广泛使用。通过使用集成开发环境，设计人员可以在常见的Windows或其他图形化系统中进行设计、仿真、验证。

由于C语言在Verilog HDL设计之初已经在许多领域得到广泛应用，因此Verilog HDL的设计初衷是成为一种基本语法与C语言相近的硬件描述语言。但是，Verilog HDL作为一种与普通计算机编程语言不同的硬件描述语言，还具有一些独特的语言要素，如向量形式的线网和寄存器、过程中的非阻塞赋值等。总体而言，具备C语言基础的设计人员能够快速掌握Verilog HDL。

随着大规模可编程逻辑器件和电子设计自动化平台在数字设计系统中的应用，以及硬件描述语言的出现，设计者可以使用硬件描述语言描述自己的设计，借助电子设计自动化平台进行综合、优化、布局布线以及可编程逻辑器件的适配和下载。

基于Verilog HDL的数字电路基本描述方法包括门级结构描述、数据流描述和行为描述，具体而言就是根据电路功能抽象出端口，根据功能抽象采用相应方法进行描述，实现功能电路的建模。

**四、实验电路图**

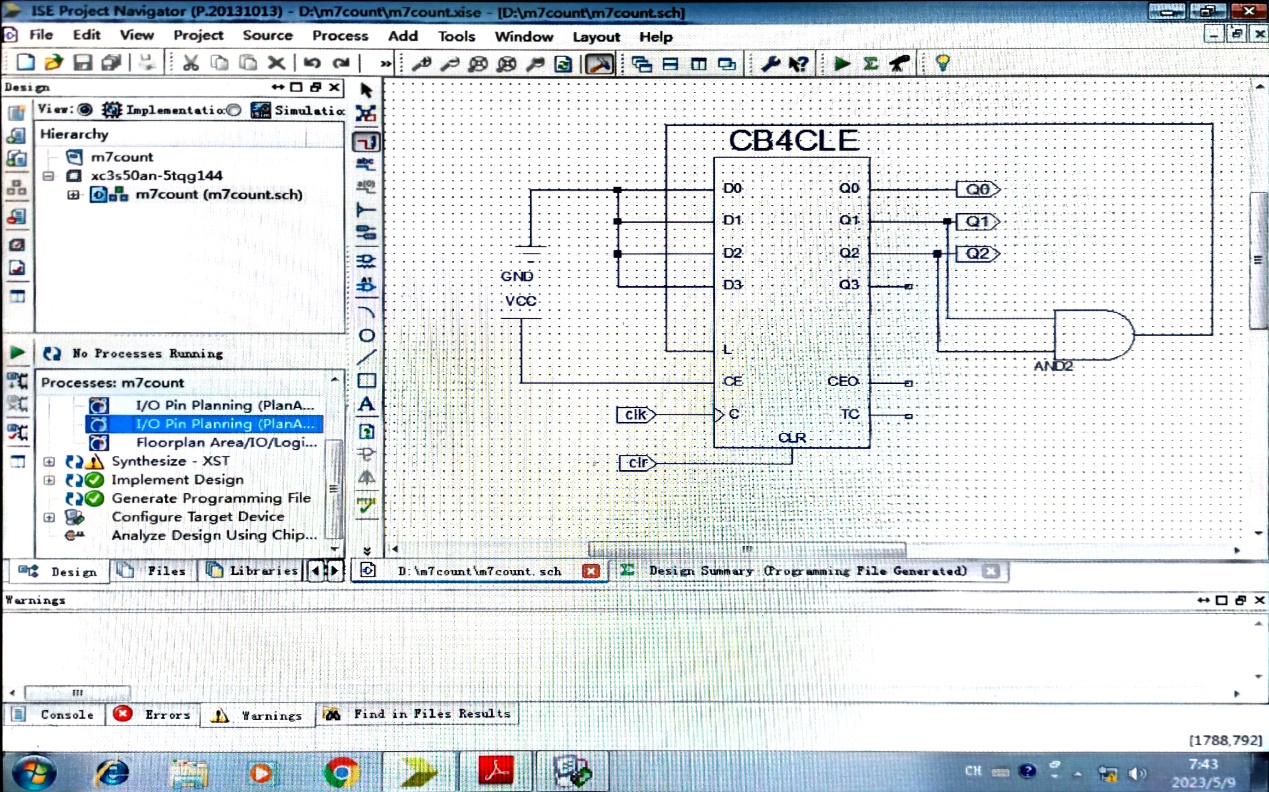
****

图1 M=7计数器电路图

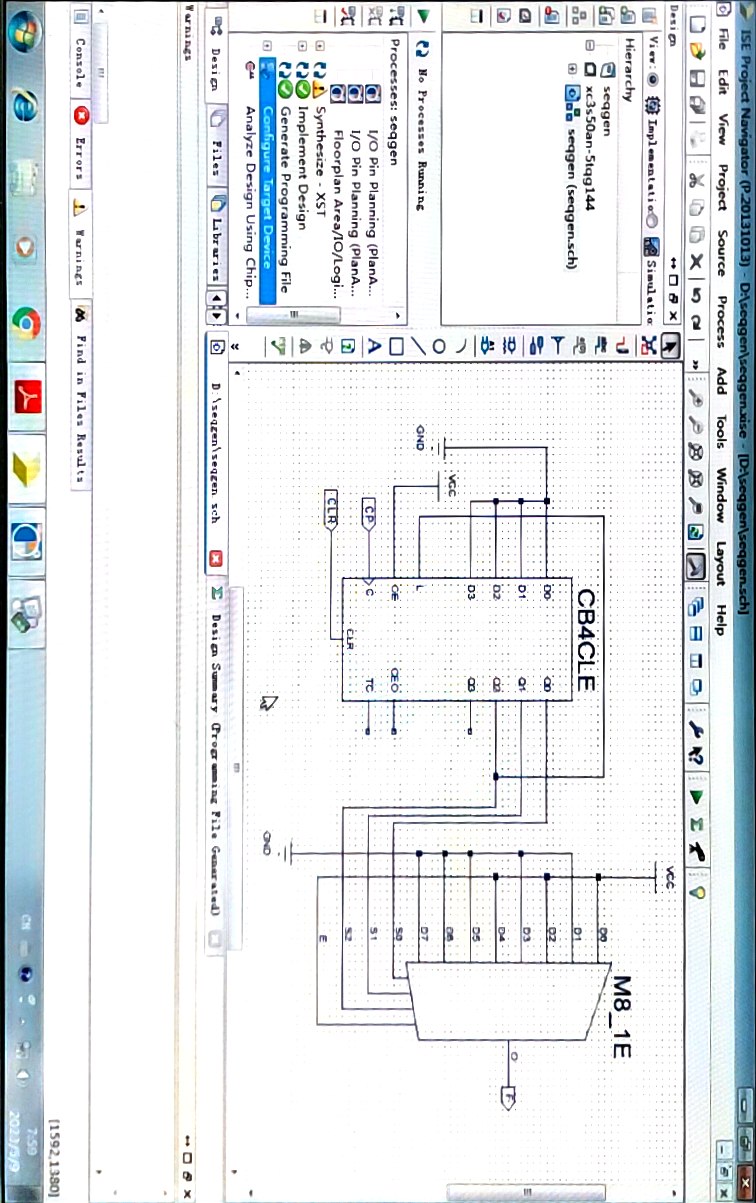


图2 序列信号发生器电路图

**五、实验内容和实验结果**

1.设计一个M=7的计数器，观察并记录各端波形。

①设计思路：使用反馈置零法设计一模长M=7的计数器。因为计数器为同步计数器，所以反馈状态=M-1=Q2Q1。

②电路图

电路图如图1所示。

③行为仿真图

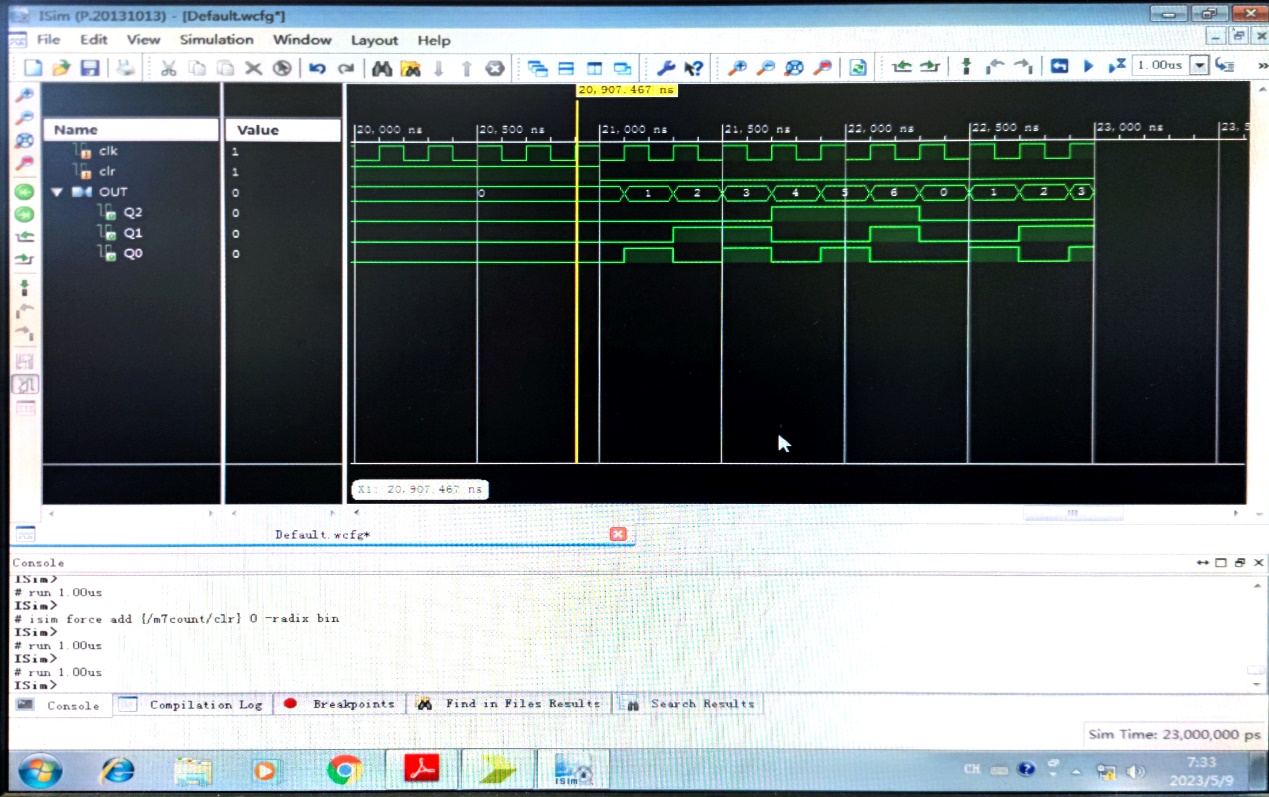


图3 M=7计数器的行为仿真图

④下载测试

示波器波形图如下：



图4 M=7计数器的示波器波形图

由示波器波形可得，所设计电路满足要求。

2.设计一个“10101”序列信号发生器，观察并记录时钟脉冲和输出波形。

①设计思路：使用计数器和数据选择器来实现序列码。先构建一个M=5的计数器（0000~0101），用计数器的数据输出端，作为数据选择器的地址输入端，来选择不同的信号。

组合电路真值表如表7所示。

表1 组合电路真值表

|  |  |  |  |
| --- | --- | --- | --- |
| Q2 | Q1 | Q0 | F |
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | Φ |
| 1 | 1 | 0 | Φ |
| 1 | 1 | 1 | Φ |



②电路图

电路图如图2所示。

③行为仿真图

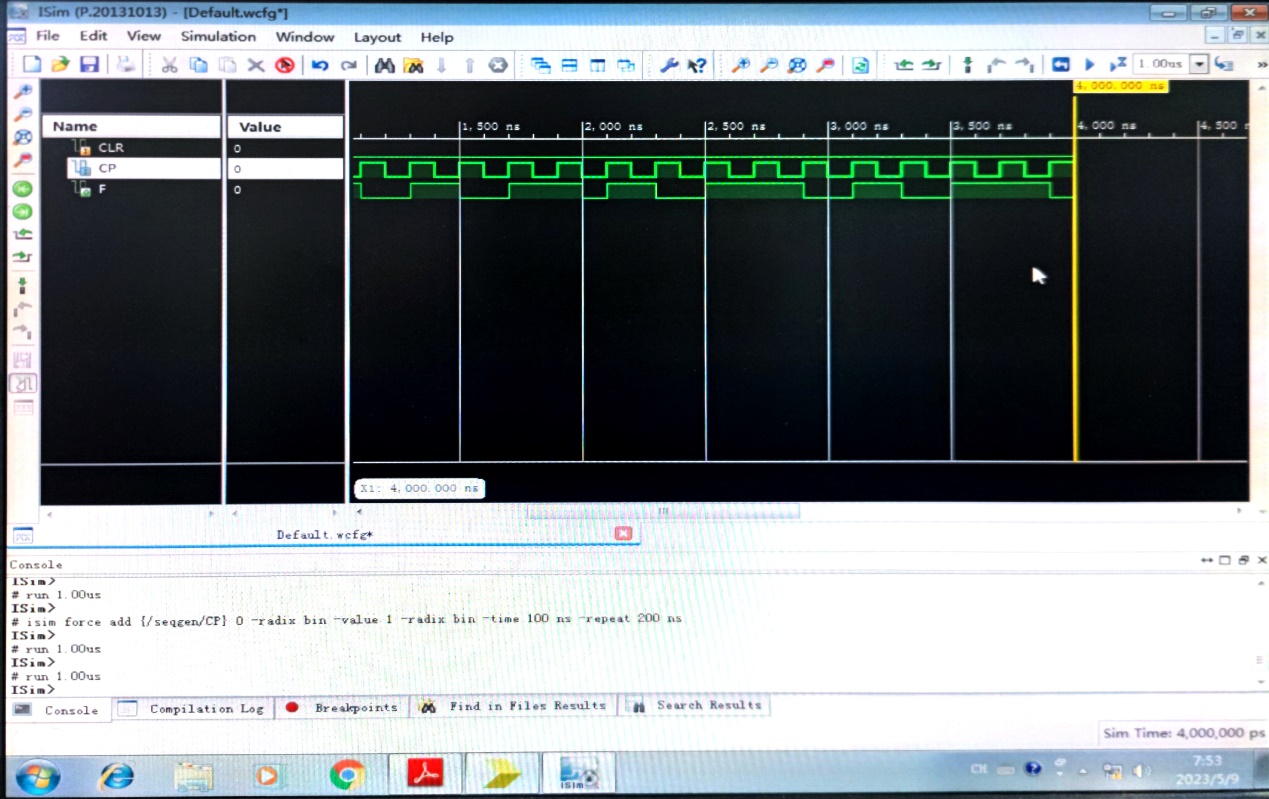


图5 序列信号“10101”的行为仿真图

④下载测试

示波器波形图如下：



图6 序列信号“10101”的示波器波形图

由示波器波形可得，所设计电路能够产生“10101”序列。

3.用Verilog HDL设计一个具有74LS161 （同步4位二进制加法计数器）集成电路功能的时序逻辑电路，完成设计模块、Testbench，并保存仿真波形。Testbench 能够测试到电路设计要求的所有功能、下载到FPGA、完成硬件调测并实现电路功能。

①设计代码如下：

*module count\_74LS161(cr, ld, p, t, cp, D, Q, co);*

*input cr,ld;*

*input p,t;*

*input cp;*

*input [3:0] D;*

*output [3:0] Q;*

*output co;*

*reg [3:0] Q;*

*assign co=Q[3] & Q[2] & Q[1] & Q[0] & t;*

*always @ (posedge cp or negedge cr)*

*begin*

*if(!cr)*

*Q<=4'b0000;*

*else if(!ld)*

*Q<=D;*

*else if(p & t)*

*Q<=Q+1;*

*else*

*Q<=Q;*

*end*

*endmodule*

②激励代码如下：

*module count\_74LS161\_tb;*

*reg cr;*

*reg ld;*

*reg p;*

*reg t;*

*reg cp;*

*reg [3:0] D;*

*wire [3:0] Q;*

*wire co;*

*count\_74LS161 uut (*

*.cr(cr),*

*.ld(ld),*

*.p(p),*

*.t(t),*

*.cp(cp),*

*.D(D),*

*.Q(Q),*

*.co(co)*

*);*

*initial begin*

*cp=0;*

*cr=0;*

*ld=0;*

*p=0;*

*t=0;*

*D=4'b1010;*

*fork*

*repeat(25) #160 t=~t;*

*repeat(12.5) #320 p=~p;*

*repeat(6.25) #640 ld=~ld;*

*repeat(3.125) #1280 cr=~cr;*

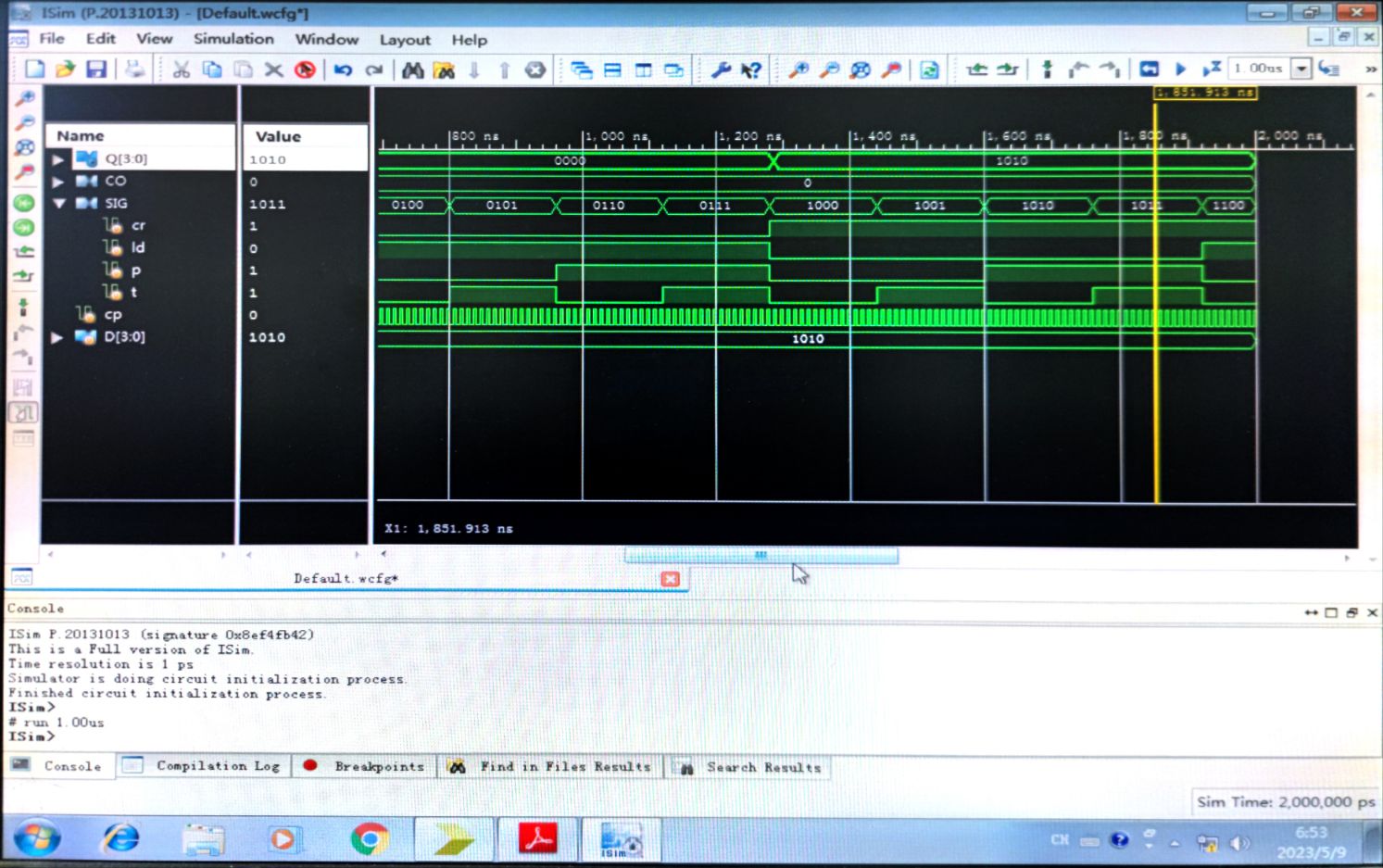
*join*

*end*

*always #5 cp =~ cp;*

*endmodule*

③行为仿真图如下：



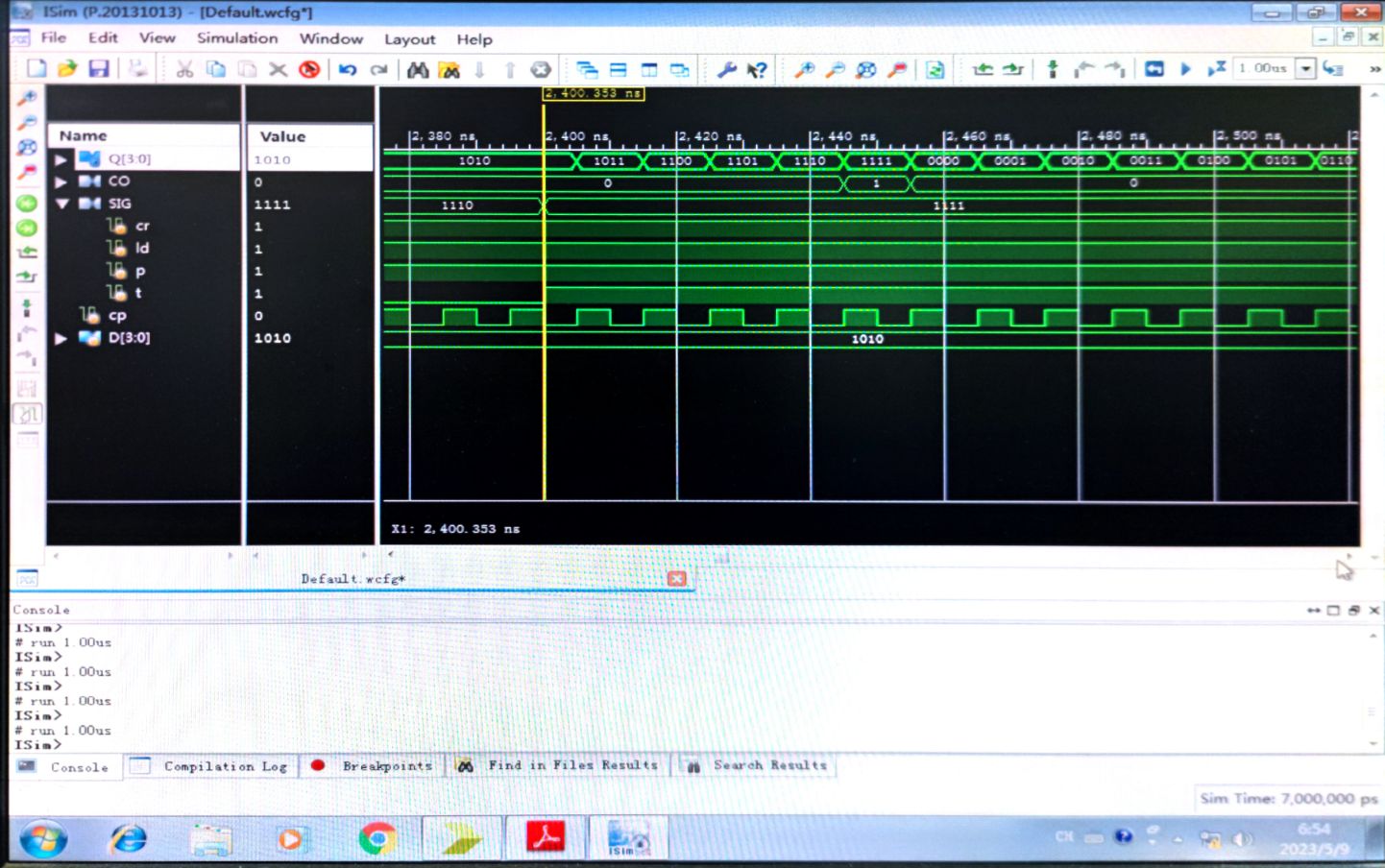


图7 74LS161行为仿真图

由上图可以看出，当时，可以实现异步清零功能；当，时，在CP信号上升沿可以实现同步并入功能；当，，，时，在CP信号上升沿可以实现计数功能；在其它状态均可以实现保持功能，且进位信号CO满足条件。设计代码满足功能表，能够完成74LS161的功能；激励代码能够测试所有真值表中的状态。

⑤下载、硬件测试

下载连线后，示波器的波形如下图所示：



图8 74LS161示波器波形图

由示波器波形图可得，在满足使能端条件时，设计代码可以实现所需的计数功能。

**六、结果分析**

设计满足要求，烧录测试后波形结果也满足真值表。

**七、实验小结**

1.构成任意模长计数器一般有4种方法：

①反馈置“0”法：反馈状态为M-1；

②置最大数法（非8421码）：反馈状态为M-2；

③置最小数法（非8421码）：反馈状态为N-M；

④异步清“0”法：反馈状态为M（一般不在实验中使用，波形易不稳定）。

2.使用示波器时，内触发信源应选择显示最大周期信号的通道。必要时可采用“脉宽”触发方式。

3.Verilog HDL语言具有其自己的语法规则，在编写时要遵守语法规则，并进行测试修改，直到没有错误为止。